



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020020068128

(43) Publication Date. 20020827

(21) Application No.1020010008386

(22) Application Date. 20010220

(51) IPC Code:

H03D 7/14

(71) Applicant:

INTEGRANT TECHNOLOGIES INC.

(72) Inventor:

KIM, BON GI

KIM, YEONG JIN

LEE, GWI RO

(30) Priority:

(54) Title of Invention

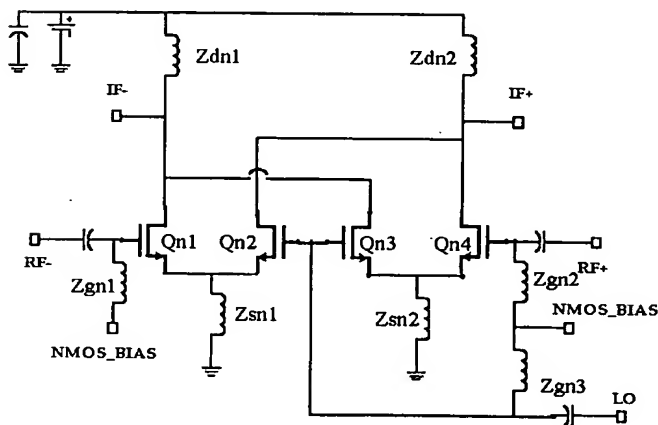
HARMONIC MIXER CIRCUIT HAVING IMPROVED DC OFFSET AND LINEARITY

Representative drawing

(57) Abstract:

PURPOSE: A harmonic mixer circuit having improved dc offset and linearity is provided to remedy a DC(Direct Current) offset of a mixing circuit for mixing an LO(Local Oscillator) frequency signal with a high-frequency signal by including only a wanting baseband signal in an output signal.

CONSTITUTION: A first circuit includes a first active element(Qn11) and a second active element(Qn12). A second circuit includes a third active element(Qn21) and a fourth active element(Qn22). A first terminal of the first, the second, the third and the fourth active element (Qn11,Qn12,Qn21,Qn22) is connected respectively with a first voltage through a first, a second, a third and a fourth bias and impedance unit to maintain an operation bias voltage. A second terminal of the first and the second active element (Qn11,Qn12) is connected with a second power supply through the first bias and impedance unit. A second terminal of the



third and the fourth active element(Qn21,Qn22) is connected with the second power supply through the second bias and impedance unit. A connection point of a third terminal of the first and the third active element(Qn11,Qn21) is connected with a first power supply through a first output tap and a first output-side bias and impedance unit. A connection point of a third terminal of the second and the fourth active element(Qn12,Qn22) is connected with the first power supply through a second output tap and a second output-side bias and impedance unit.

© KIPO 2003

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ H03D 7/14	(11) 공개번호 특2002-0068128
	(43) 공개일자 2002년08월27일
(21) 출원번호 10-2001-0008386	
(22) 출원일자 2001년02월20일	
(71) 출원인 인티그런트 테크놀로지즈(주)	
(72) 발명자 김영진	경기도 성남시 분당구 구미동 18번지 시그마오피스텔 F-1호
	김본기
	경기도성남시분당구금곡동133번지청솔마을9단지주공아파트902동1409호
	이귀로
	경기도성남시수정구신흥동한신아파트2-1004호
	대전광역시유성구어은동한빛아파트135동1303호
(74) 대리인 박경완, 김성호	

심사청구 : 있음

(54) 디씨 오프셋 및 선형성이 향상된 하모닉 믹서 회로

요약

본 발명에 따르면, 제 1 내지 제 3 단자를 구비하는 제 1 능동 소자 및 제 2 능동 소자를 포함하는 제 1 회로와 제 3 능동 소자 및 제 4 능동 소자를 포함하는 제 2 회로를 포함하는 믹서 회로가 제공된다. 제 1 및 제 2 능동 소자의 제 2 단자는 서로 접속되어 제 2 단자측 제 1 바이어스 및 임피던스부를 통해 제 2 전원과 접속되고, 제 3 및 제 4 능동 소자의 제 2 단자는 서로 접속되어 제 2 단자측 제 2 바이어스 및 임피던스부를 통해 제 2 전원과 접속되며, 제 1 및 제 4 능동 소자의 제 1 단자는 각각 제 1 입력단 및 제 2 입력단과 접속되고, 제 2 및 제 3 능동 소자의 제 1 단자는 서로 접속되어 제 3 입력단과 접속되며, 제 1 내지 제 4 능동 소자의 제 1 단자는 각각 제 1 내지 제 4 바이어스 및 임피던스부를 통해 제 1 전압과 접속되어 소정의 동작 바이어스 전압이 유지되고, 제 1 및 제 3 능동 소자의 제 3 단자의 접속점은 제 1 출력단 및 제 1 출력측 바이어스 및 임피던스부를 통해 제 1 전원과 접속되고, 제 2 및 제 4 능동 소자의 제 3 단자의 접속점은 제 2 출력단 및 제 2 출력측 바이어스 및 임피던스부를 통해 제 1 전원과 접속된다.

대표도

도 1

색인어

믹서 회로, IMD3, 비선형성, DC 오프셋, 하모닉 믹서

명세서

도면의 간단한 설명

도 1은 반송 주파수가 ω_{RF} 인 입력 신호와, 주파수가 ω_{LO} 인 LO 신호와, 이들 양 신호가 믹싱되어 생성된 기저 대역 신호를 주파수 도메인에서 도시한 도면.

도 2는 입력 신호와 LO 신호(203)를 믹싱하기 위한 믹서(205)와 관련 회로를 도시한 회로도.

도 3은 본 발명에 따라서 DC 오프셋이 차단된 믹서 회로의 한 실시예를 도시한 회로도.

도 4는 N형 MOSFET과 상보적인 특성을 갖는 P형 MOSFET을 이용하여 도 3에 도시된 실시예와 상보적인 회로를 도시한 회로도.

도 5는 서로 상보적인 능동 소자에 대하여, 게이트 소오스간 전압(V_{GS})에 대한 드레인 전류(I_{DS}), 트랜스컨덕턴스(g_m), 및 트랜스컨덕턴스(g_m)의 1차 도함수(g_m')값을 도시한 그래프.

도 6은 N형 MOSFET 및 P형 MOSFET의 드레인이 서로 접속되도록 하고, 양 소자의 트랜스컨덕턴스의 1차 도함수값이 극대값 및 극소값을 갖는 영역에서 바이어스되도록 한 회로와 이 회로의 양 소자의 1차 도함수(g_m')값을 도시한 그래프.

도 7은 본 발명의 바람직한 실시예에 따라서, 서로 상보적인 능동 소자를 이용하여 선형성이 향상된 믹서 회로를 도시한 회로도.

(도면의 주요한 부분에 대한 부호의 설명)

Qn11: 제 1형 믹서 회로의 제 1 능동 소자
Qn12: 제 1형 믹서 회로의 제 2 능동 소자
Qn21: 제 1형 믹서 회로의 제 3 능동 소자
Qn22: 제 1형 믹서 회로의 제 4 능동 소자
Qp11: 제 2형 믹서 회로의 제 1 능동 소자
Qp12: 제 2형 믹서 회로의 제 2 능동 소자
Qp21: 제 2형 믹서 회로의 제 3 능동 소자
Qp22: 제 2형 믹서 회로의 제 4 능동 소자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 믹서 회로에 관한 것으로서, 더욱 구체적으로는 다이렉트 수신기 등에 활용 가능한 믹서 회로의 DC 오프셋 및 비선형의 개선에 관한 것이다.

최근에 휴대형 무선 전화기의 보급에 따라서, 단말기의 소형화, 저전력화, 및 저비용화가 요구되고 있다. 이에 따라, 다이렉트 컨버전 수신기(Direct Conversion Receiver)가 널리 활용되고 있는 실정이다. 다이렉트 컨버전 수신기를 이용하면, 이미지 주파수 성분이 존재하지 않으므로, 슈퍼헤테로다인 수신기에 필수적인 대역 통과 필터(BPF) 형의 채널 필터가 필요치 않다. 그 대신, 채널 필터로서 저대역 필터(LPF)가 사용된다. 따라서, 집적 회로 제조 공정이 용이하다.

다이렉트 컨버전 수신기는 기본적으로 입력 고주파수 신호를 기저대역 주파수 신호로 직접 변환한다. 이는 슈퍼헤테로다인 수신기에 있어서, 중간 주파수가 0 Hz인 경우에 대응된다고 할 수 있다. 따라서, 입력 고주파수 신호를 기저 대역 주파수 신호로 직접 변환하기 위해서, 입력 주파수와 거의 동일한 주파수의 로컬 오실레이터(L0) 신호를 생성하여 입력 주파수와 믹싱한다. 도 1은 반송 주파수가 ω_{RF} 인 입력 신호와, 주파수가 ω_{LO} 인 L0 신호와, 이들 양 신호가 믹싱되어 생성된 기저 대역 신호를 주파수 도메인에서 도시한 도면이다. 도 2는 입력 신호(201)와 L0 신호(203)를 믹싱하기 위한 믹서(205)와 관련 회로를 도시한 회로도이다.

도 1에 도시된 바와 같이, RF 변조 신호의 반송 주파수(ω_{RF})와 동일한 주파수(ω_{LO})의 L0 신호를 믹서를 사용하여 믹싱함으로써, 주파수가 0 Hz인 중간 주파수(ω_{IF}) 신호를 생성한다. 반송 주파수와 L0 신호의 믹싱을 통해 생성된 주파수가 0 Hz인 중간 주파수 신호는 기저 대역 주파수 신호와, L0 주파수(ω_{LO}) 신호와, 반송파 주파수(ω_{IF}) 신호와, L0 주파수 및 반송파 주파수의 합의 주파수($\omega_{LO} + \omega_{IF}$) 신호와, L0 주파수 및 반송파 주파수의 차의 주파수($|\omega_{LO} - \omega_{IF}|$) 신호 성분을 포함한다. 이러한 성분 중 기저 대역 주파수 신호를 제외한 신호는 도 2에 도시된 바와 같이, 저대역 필터(207)를 통해 차단함으로써, 정보 신호 및 L0 주파수 및 반송파 주파수의 차의 주파수($|\omega_{LO} - \omega_{IF}|$) 신호 성분만을 추출하는 것이 가능하다.

이러한, 다이렉트 컨버전 수신기는 다음과 같은 몇가지 문제 점을 갖는다.

첫째로, 다이렉트 컨버전 수신기는 동일한 주파수 신호의 믹싱으로 인해 발생하는 DC 오프셋(offset) 전압 문제 를 갖는다.

이러한 DC 오프셋이 발생하는 원인을 설명한다. 도 2에 도시된 바와 같이, 하드웨어의 특성에 의해서 L0 신호의 일부는 믹서(205)의 고주파수 신호 입력 단자를 통해 누출된다. 누출된 L0 신호는 고주파수 신호 증폭부(209)의 출력 포트 및 안테나(211)에서 반사된다. 반사된 L0 신호는 믹서에서 L0 신호와 믹싱되어 출력 신호 중에 DC 성분으로 출현하게 되는 것이다. 이를 다이내믹 DC 오프셋이라 한다. 다이내믹 DC 오프셋의 양은 고주파수 신호 증폭부(209) 및 안테나에서의 반사율에 크게 의존한다. 고주파수 신호 증폭부(209)의 증폭률에 따라서 반사율은 변동적이며, 따라서 다이내믹 DC 오프셋의 양도 시간에 따라 변동적이다.

DC 오프셋이 발생하는 다른 원인으로서는, L0 주파수 및 반송파 주파수의 차의 주파수($|\omega_{LO} - \omega_{IF}|$) 신호 성분을 정위상 및 역위상의 신호를 획득하는 구성을 취하는 소위 밸런스드 믹서의 경우에, 정위상 및 역위상의 신호에 기여하는 회로간의 비대칭성을 들 수 있다. 이는 곧, 고주파수 신호의 반송 주파수(ω_{RF})와 L0 신호의 주파수(ω_{LO})의 차의 주파수 신호의 정위상 및 역위상 신호가 서로 비대칭적으로 발생하여 DC 오프셋을 초래하게 된다. 이를 스태틱 DC 오프셋이라 한다.

이러한 DC 오프셋은 출력 신호 중에 바람직하지 못한 성분으로 남아 있게 되고, 믹서를 사용하는 다이렉트 컨버전 수신기의 특성을 열화시키는 한 요인이 되고 있다. 따라서 믹서 내에 존재하는 DC 오프셋(offset) 전압을 제거할 필요가 있다.

둘째로, 다이렉트 컨버전 수신기는 2차 상호 변조(intermodulation, IMD2) 성분으로 인한 문제를 갖는다. 대부분의 믹서 회로는 능동 소자에 의해서 구현된다. 능동 소자는, 특히 고주파수 신호가 입력되면 비선형적인 특성을 보인다.

이러한 비선형적 특성은 먹급수에 의해 근사화된다. 먹급수로 근사화된 성분중 우수 차수 성분의 가장 주요한 성분은 2차 급수 성분이므로, 우수 차수 성분은 2차 급수 성분으로 근사화될 수 있다.

그러나, 위와 같은 믹서 회로의 비선형적인 특성은 다이렉트 수신기 전체 회로의 성능을 열화시키는 주요한 요인 중 하나로 알려져 있다.

발명이 이루고자하는 기술적 과제

본 발명의 목적은 DC 오프셋이 제거된 믹서 회로를 제공하고자 하는 것이다.

본 발명의 다른 목적은 DC 오프셋이 제거됨과 동시에 비선형적인 특성, 특히 우수 차수 성분으로 인한 비선형적인 특성이 개선된 믹서 회로를 제공하고자 하는 것이다.

본 발명의 한 특징에 따르면, 제 1 단자, 제 2 단자, 및 제 3 단자를 구비하고, 상기 제 1 단자 및 제 2 단자간에 인가되는 전압의 크기에 기초하여 상기 제 2 단자로부터 상기 제 3 단자로 흐르는 전류의 크기 및 방향이 변동되는 제 1 능동 소자 및 제 2 능동 소자를 포함하는 제 1 회로와 제 3 능동 소자 및 제 4 능동 소자를 포함하는 제 2 회로를 포함하는 믹서 회로가 제공된다. 상기 제 1 능동 소자 및 제 2 능동 소자의 상기 제 2 단자는 서로 접속되어 제 2 단자측 제 1 바이어스 및 임피던스부를 통해 제 2 전원과 접속되고, 상기 제 3 능동 소자 및 제 4 능동 소자의 상기 제 2 단자는 서로 접속되어 제 2 단자측 제 2 바이어스 및 임피던스부를 통해 상기 제 2 전원과 접속되며, 상기 제 1 능동 소자 및 제 4 능동 소자의 제 1 단자는 각각 제 1 입력단 및 제 2 입력단과 접속되고, 상기 제 2 능동 소자 및 제 3 능동 소자의 제 1 단자는 서로 접속되어 제 3 입력단과 접속되며, 상기 제 1 능동 소자 내지 제 4 능동 소자의 제 1 단자는 각각 제 1 바이어스 및 임피던스부 내지 제 4 바이어스 및 임피던스부를 통해 제 1 전압과 접속되어 소정의 동작 바이어스 전압이 유지되고, 상기 제 1 능동 소자 및 제 3 능동 소자의 제 3 단자의 접속점은 제 1 출력단 및 제 1 출력측 바이어스 및 임피던스부를 통해 제 1 전원과 접속되고, 상기 제 2 능동 소자 및 제 4 능동 소자의 제 3 단자의 접속점은 제 2 출력단 및 제 2 출력측 바이어스 및 임피던스부를 통해 상기 제 1 전원과 접속된다.

본 발명의 다른 특징에 따르면, 제 1 단자, 제 2 단자, 및 제 3 단자를 구비하고, 상기 제 1 단자 및 제 2 단자간에 인가되는 전압의 크기에 기초하여 상기 제 2 단자로부터 상기 제 3 단자로 흐르는 전류의 크기 및 방향이 변동되는 제 1 능동 소자 및 제 2 능동 소자를 포함하는 제 1 회로와 제 3 능동 소자 및 제 4 능동 소자를 포함하는 제 2 회로를 포함하는 믹서 회로가 제공된다. 상기 제 1 능동 소자 및 제 2 능동 소자의 상기 제 2 단자는 서로 접속되어 제 1 소오스측 바이어스 및 임피던스부를 통해 제 1 전원과 접속되고, 상기 제 3 능동 소자 및 제 4 능동 소자의 상기 제 2 단자는 서로 접속되어 제 2 소오스측 바이어스 및 임피던스부를 통해 상기 제 1 전원과 접속되며, 상기 제 1 능동 소자 및 제 4 능동 소자의 제 1 단자는 각각 제 1 고주파수 입력단 및 제 2 고주파수 입력단과 접속되고, 상기 제 2 능동 소자 및 제 3 능동 소자의 제 1 단자는 서로 접속되어 로컬 오실레이터(L0) 신호 입력단과 접속되며, 상기 제 1 능동 소자 내지 제 4 능동 소자의 제 1 단자는 각각 제 1 바이어스 및 임피던스부 내지 제 4 바이어스 및 임피던스부를 통해 제 1 전압과 접속되어 소정의 동작 바이어스 전압이 유지되고, 상기 제 1 능동 소자 및 제 3 능동 소자의 제 3 단자의 접속점은 제 1 출력단 및 제 1 출력측 바이어스 및 임피던스부를 통해 제 2 전원과 접속되고, 상기 제 2 능동 소자 및 제 4 능동 소자의 제 3 단자의 접속점은 제 2 출력단 및 제 2 출력측 바이어스 및 임피던스부를 통해 상기 제 2 전원과 접속된다.

본 발명의 또 다른 특징에 따르면, 제 1 단자, 제 2 단자, 및 제 3 단자를 구비하고, 상기 제 1 단자 및 제 2 단자간에 인가되는 전압의 크기에 기초하여 상기 제 2 단자로부터 상기 제 3 단자로 흐르는 전류의 크기 및 방향이 변동되는 제 1형 제 1 능동 소자 및 제 2형 제 1 능동 소자를 포함하는 제 1 회로와 제 1형 제 3 능동 소자 및 제 4형 제 3 능동 소자를 포함하는 제 2 회로를 포함하는 제 1형 회로부와, 상기 제 1 내지 제 4 능동 소자와 상보적인 특성을 갖는 제 2형 제 1 능동 소자 내지 제 2형 제 2 능동 소자를 포함하는 제 1 회로와 제 2형 제 3 능동 소자 및 제 4형 제 3 능동 소자를 포함하는 제 2 회로를 포함하는 제 2형 회로부를 포함하는 믹서 회로가 제공된다. 상기 제 1형 제 1 능동 소자 및 제 2형 제 1 능동 소자의 상기 제 2 단자는 서로 접속되어 제 1형 제 2 단자측 제 1 바이어스 및 임피던스부를 통해 제 2 전원과 접속되고, 상기 제 1형 제 3 능동 소자 및 제 4형 제 3 능동 소자의 상기 제 2 단자는 서로 접속되어 제 1형 제 2 단자측 제 2 바이어스 및 임피던스부를 통해 상기 제 2 전원과 접속되며, 상기 제 2형 제 1 능동 소자 및 제 2형 제 2 능동 소자의 상기 제 2 단자는 서로 접속되어 제 2형 제 2 단자측 제 1 바이어스 및 임피던스부를 통해 제 1 전원과 접속되고, 상기 제 2형 제 3 능동 소자 및 제 4형 제 3 능동 소자의 상기 제 2 단자는 서로 접속되어 제 2형 제 2 단자측 제 2 바이어스 및 임피던스부를 통해 상기 제 2 전원과 접속되며, 상기 제 1형 및 제 2형의 제 1 능동 소자의 제 1 단자의 접속점 및 상기 제 1형 및 제 2형의 제 4 능동 소자의 제 1 단자의 접속점은 각각 제 1 고주파수 입력단 및 제 2 고주파수 입력단과 접속되고, 상기 제 1형 및 제 2형의 제 2형 제 3 능동 소자 및 제 2형 제 4 능동 소자의 제 1 단자는 서로 접속되어 로컬 오실레이터(L0) 신호 입력단과 접속되며, 상기 제 1형 및 제 2형의 제 1 능동 소자 내지 제 4 바이어스 및 임피던스부 내지 제 4 바이어스 및 임피던스부 및 제 2형 제 1 단자측 제 1 바이어스 및 임피던스부 내지 제 4 바이어스 및 임피던스부를 통해 제 1 전압과 접속되어 소정의 동작 바이어스 전압이 유지되고, 상기 제 1형 및 제 2형 제 1 능동 소자 및 제 3형 제 3 능동 소자의 제 3 단자의 접속점은 제 1 출력단 및 제 1 출력측 바이어스 및 임피던스부를 통해 제 1 전원과 접속되고, 상기 제 1형 및 제 2형 제 2형 제 3 능동 소자 및 제 4형 제 3 능동 소자의 제 3 단자의 접속점은 제 2 출력단 및 제 2 출력측 바이어스 및 임피던스부를 통해 상기 제 2 전원과 접속된다.

피드스부를 통해 상기 제 1 전원과 접속된다.

발명의 구성 및 작용

믹서 회로의 실시예

도 3은 본 발명에 따라서 DC 오프셋이 차단된 믹서 회로의 한 실시예를 도시한 회로도이다.

본 발명에 따른 믹서 회로는 4개의 능동 소자(Qn1, Qn2, Qn3, Qn4)를 이용한다. 각각의 능동 소자(Qn)는 게이트(gn), 소오스(sn), 및 드레인(dn)을 구비한다. 능동 소자(Qn)는 게이트(gn) 및 소오스(sn)에 인가되는 전압의 크기 및 극성에 따라서, 소오스(sn)로부터 드레인(dn)으로 또는 그 역으로 흐르는 전류의 양 및 방향이 결정되는 특성을 갖는다. 이러한 능동 소자로는 바이폴라 정션 트랜지스터(BJT), 정션 전계 효과 트랜지스터(JFET), 금속 산화막 반도체 전계 효과 트랜지스터(MOSFET), 및 금속 반도체 전계 효과 트랜지스터(MESFET) 등이 있다.

어떤 능동 소자는 게이트(gn), 소오스(sn), 및 드레인(dn) 이외에 보디 단자(bn)를 더 구비하는 특성을 갖는다. 게이트(gn) 및 보디 단자(bn) 간에 인가되는 전압의 크기 및 극성에 따라서, 소오스(sn)로부터 드레인(dn)으로 또는 그 역으로 흐르는 전류의 양 및 방향이 결정되는 특성을 갖는다. 이러한 능동 소자로는 금속 산화막 반도체 전계 효과 트랜지스터(MOSFET) 등이 있다.

이하의 설명에서는 MOSFET을 중심으로 설명하고자 한다. 그러나, 본 발명의 정신은 MOSFET 뿐만 아니라 증폭기로 사용될 수 있는 모든 능동 소자에 적용할 수 있다. 따라서, 비록 본 명세서에서는 MOSFET을 중심으로 설명하지만, 본 발명의 개념과 범위가 MOSFET으로 한정되는 것은 아니다.

도 3에 도시된 바와 같이, 본 발명에 따른 선형성이 향상된 증폭 회로는 제 1 능동 소자(Qn1) 및 제 2 능동 소자(Qn2)를 포함하는 제 1 믹서 회로와, 제 3 능동 소자(Qn3) 및 제 4 능동 소자(Qn4)를 포함하는 제 2 믹서 회로를 포함한다. 도 3에는 전 능동 소자(Qn1, Qn2, Qn3, Qn4)가 모두 N형 MOSFET인 것으로 도시되어 있으며, 이하의 설명에서도 N형 MOSFET인 경우를 중심으로 설명한다. 그러나, 도 3에 도시된 회로와 상보적인 회로를 N형 MOSFET과 상보적인 소자를 이용하여 구현할 수 있음은 당업자에게 자명하며, 이에 관해서는 후술하기로 한다.

제 1 믹서 회로 및 제 2 믹서 회로는 소오스-결합 쌍(source-coupled pair)의 구조를 취한다. 즉, 제 1 믹서 회로에 있어서, 제 1 능동 소자(Qn1) 및 제 2 능동 소자(Qn2)의 소오스가 서로 접속되어 소정의 소오스측 바이어스 및 임피던스부(Zsn1)를 통해 제 2 전원과 접속된다. 제 2 믹서 회로에 있어서도, 제 3 능동 소자(Qn3) 및 제 4 능동 소자(Qn4)의 소오스가 서로 접속되어 소정의 소오스측 바이어스 및 임피던스부(Zsn2)를 통해 제 2 전원과 접속된다. 본 발명의 바람직한 실시예에 따르면, 제 2 전원과 접속되는 대신에 접지될 수 있다.

제 1 능동 소자(Qn1) 및 제 4 능동 소자(Qn4)의 게이트는 각각 제 1 고주파수 입력단(RF-) 및 제 2 고주파수 입력단(RF+)과 접속된다. 제 1 능동 소자 및 제 4 능동 소자의 게이트에는 게이트측 바이어스 및 임피던스부(Zgn1, Zgn2)를 통해 제 1 전원이 공급되어 각각 동작 바이어스 전압이 유지되도록 한다.

도 3에 도시된 실시예가 믹서 회로로서 동작하기 위해서는 제 1 고주파수 입력단(RF-)과 제 2 고주파수 입력단(RF+)에는 서로 위상이 반전된 고주파수 신호가 입력되는 것이 바람직하다. 제 1 고주파수 입력단(RF-) 및 제 2 고주파수 입력단(RF+)에 입력되는 고주파수 신호는 소정의 고주파수를 갖는 반송파에 의해 정보 신호가 변조된 신호이다. 본 명세서에서는 정보 신호를 변조하기 위한 반송파의 주파수가 ω_{RF} 인 것으로 한다.

제 2 능동 소자 및 제 3 능동 소자의 게이트는 서로 접속되어 LO 주파수 입력단(LO)과 접속된다. 제 2 능동 소자 및 제 3 능동 소자의 게이트에는 게이트측 바이어스 및 임피던스부(Zgn3)를 통해 제 1 전원이 공급되어 동작 바이어스 전압이 유지되도록 한다.

도 3에 도시된 실시예가 믹서 회로로서 동작하기 위해서는, LO 주파수 입력단(LO)에 입력되는 신호의 주파수 ω_{LO} 는 반송파 주파수 ω_{RF} 의 1/2인 것이 바람직하다. LO 주파수 신호는 로컬 오실레이터를 통해 발생할 수 있다.

상술한 바와 같이, 제 1 능동 소자 내지 제 4 능동 소자의 게이트에는 게이트측 바이어스 및 임피던스부(Zgn1, Zgn2, Zgn3, Zgn4)를 통해 제 1 전원이 공급되어 동작 바이어스 전압이 유지되도록 한다. 이러한 동작 바이어스 전압은 제 1 능동 소자 내지 제 4 능동 소자의 타입에 따라 적절하게 설정된다. 예를 들면, 도 3에 있어서 제 1 능동 소자 내지 제 4 능동 소자는 N형 MOSFET인 경우에, 각각의 능동 소자가 소량의 동작 영역에서 동작할 수 있도록 N형 MOSFET의 게이트 소오스간 DC 전압이 유지되도록 한다. 본 명세서에서는 이를 N형 MOSFET 바이어스 전압(NMOS_BIAS)이라 칭한다.

각각의 능동 소자(Qn1, Qn2, Qn3, Qn4)의 소오스 단자 및 보디 단자에는 소오스 전압(Vsn) 및 보디 전압(Vbn)이 인가된다. 본 발명의 바람직한 실시예에 따르면, 전원과 각각의 능동 소자(Qn)의 소오스 단자 및 보디 단자간에는 전원과 접속되는 바이어스부가 접속된다. 이에 따라, 소오스 전압(Vsn) 및 보디 전압(Vbn)은 전원으로부터 바이어스부를 통해 조절된다. 본 명세서에서는 전원과 소오스 단자 및 보디 단자간에 접속되는 바이어스부를 동작점 바이어스부라고 칭한다.

제 1 믹서와 제 2 믹서의 출력단은 서로 교차 접속된다. 즉, 제 1 능동 소자 및 제 3 능동 소자의 드레인(If-)은 서로 접속되어 제 1 출력단(IF-)과 접속된다. 제 2 능동 소자 및 제 4 능동 소자의 드레인(If+)은 서로 접속되어 제 2 출력단(IF+)과 접속된다. 최종 출력은 제 1 출력단(IF-) 및 제 2 출력단(IF+)의 신호를 서로 차동하여 얻을 수 있다.

제 1 능동 소자 및 제 3 능동 소자의 드레인의 접속점은 소정의 드레인측 바이어스 및

임피던스부(Zdn1)을 통해 제 1 전원과 접속된다. 제 2 능동 소자 및 제 4 능동 소자의 드레인의 접속점은 소정의 드레인측 바이어스 및 임피던스부(Zdn2)을 통해 제 1 전원과 접속된다. 본 명세서에서는 드레인측 출력단간에 접속되는 바이어스부를 출력측 바이어스부라 칭한다.

상술한 바와 같이, 제 1 믹서 회로 및 제 2 믹서 회로에는 서로 반전된 위상을 갖는 고주파수 신호(RF-, RF+)가 입력된다. 또한, 제 1 믹서 회로 및 제 2 믹서 회로에는 동일한 L0 신호(L0)가 입력된다. L0 주파수 입력단(L0)에 입력되는 신호의 주파수 ω_{L0} 는 반송파 주파수 ω_{RF} 의 실질적으로 1/2인 것이 바람직하다. 이 때, 전체 회로의 출력, 즉 제 1 출력단(IF-) 및 제 2 출력단(IF+)의 차동 신호는 좁은 폭을 갖는 펄스의 스트림의 형태를 갖는다. 이 때, 펄스 스트림의 폭은 RF 신호의 진폭과 비례한다.

도 3에 도시된 회로에 따르면, 전체 회로의 출력 신호는 RF 신호의 진폭과 비례하는 폭으로 변조된 펄스 폭 변조 신호의 형태이다. 따라서, 출력 신호에는 주파수가 ω_{RF} 인 반송파 신호로 변조된 주파수 신호에 포함된 소망의 기저대역 신호만이 포함되고, 소망하지 않는 L0 신호 성분은 실질적으로 거의 포함되지 않는다. 이는 곧 DC 오프셋이 개선된 것임을 말한다.

또한, 제 1 믹서 회로와 제 2 믹서 회로가 거의 동일한 규모와 구조를 취하는 경우, 제 1 고주파 입력단(RF-) 및 제 2 고주파 입력단(RF+)에 L0 신호 성분이 거의 누출되지 않는다는 효과를 갖는다. 특히, 제 1 믹서 회로와 제 2 믹서 회로를 구성하는 능동 소자를 모두 동일한 기판상에 동일한 계층상에 형성함으로써 이러한 효과를 달성할 수 있다.

도 4는 N형 MOSFET과 상보적인 특성을 갖는 P형 MOSFET을 이용하여 도 3에 도시된 실시예와 상보적인 회로를 도시한 것이다.

도 4에 도시된 회로는 도 3에 도시된 회로와 상보적으로 구성되어 있으므로, 도 3과 관련한 상술한 설명이 그대로 적용될 수 있다.

도 4에 도시된 실시예에 있어서도, 제 1 능동 소자 내지 제 4 능동 소자의 게이트에는 게이트측 바이어스 및 임피던스부(Zgp1, Zgp2, Zgp3, Zgp4)를 통해 제 1 전원이 공급되어 동작 바이어스 전압이 유지되도록 한다. 이러한 동작 바이어스 전압은 제 1 능동 소자 내지 제 4 능동 소자의 타입에 따라 적절하게 설정된다. 예를 들면, 도 4에 있어서 제 1 능동 소자 내지 제 4 능동 소자는 P형 MOSFET인 경우에, 각각의 능동 소자가 소망의 동작 영역에서 동작할 수 있도록 P형 MOSFET의 게이트 소오스간 DC 전압이 유지되도록 한다. 본 명세서에서는 이를 P형 MOSFET 바이어스 전압(PMOS_BIAS)이라 칭한다.

또한, 도 3에 도시된 실시예에서는, 제 1 믹서 회로에 있어서, 제 1 능동 소자(Qn1) 및 제 2 능동 소자(Qn2)의 소오스가 서로 접속되어 소정의 소오스측 바이어스 및 임피던스부(Zsn1)를 통해 제 2 전원과 접속되고, 제 2 믹서 회로에 있어서도, 제 3 능동 소자(Qn1) 및 제 4 능동 소자(Qn2)의 소오스가 서로 접속되어 소정의 소오스측 바이어스 및 임피던스부(Zsn2)를 통해 제 2 전원과 접속되는 것으로 설명하였다. 도 4에 있어서는, 제 1 믹서 회로에 있어서, 제 1 능동 소자(Qp1) 및 제 2 능동 소자(Qp2)의 소오스가 서로 접속되어 소정의 소오스측 바이어스 및 임피던스부(Zsp1)를 통해 제 1 전원과 접속되고, 제 2 믹서 회로에 있어서도, 제 3 능동 소자(Qp1) 및 제 4 능동 소자(Qp2)의 소오스가 서로 접속되어 소정의 소오스측 바이어스 및 임피던스부(Zsp2)를 통해 제 1 전원과 접속되는 것이 바람직하다.

또한, 도 3에 있어서는, 제 1 능동 소자(Qn1) 및 제 3 능동 소자(Qn3)의 드레인의 접속점은 소정의 드레인측 바이어스 및 임피던스부(Zdn1)을 통해 제 1 전원과 접속되고, 제 2 능동 소자(Qn2) 및 제 4 능동 소자(Qn4)의 드레인의 접속점은 소정의 드레인측 바이어스 및 임피던스부(Zdn2)을 통해 제 1 전원과 접속된다. 도 4에 있어서는, 제 1 능동 소자(Qp1) 및 제 3 능동 소자(Qp3)의 드레인의 접속점은 소정의 드레인측 바이어스 및 임피던스부(Zdp1)을 통해 제 2 전원과 접속되고, 제 2 능동 소자(Qp2) 및 제 4 능동 소자(Qp4)의 드레인의 접속점은 소정의 드레인측 바이어스 및 임피던스부(Zdp2)을 통해 제 2 전원과 접속된다.

본 실시예 및 본 명세서 전반에 있어서, 제 1 전원은 예를 들면 + 전원이다. 본 발명의 바람직한 실시예에 따르면, + 전원은 +3 V, +5 V 등의 규격화된 양의 전압을 공급할 수 있는 전력 공급원이다. 또한, 제 2 전원은, 예를 들면 - 전원이다. 본 발명의 바람직한 실시예에 따르면, - 전원은 -3 V, -5 V 등의 규격화된 양의 전압을 공급할 수 있는 전력 공급원이다. 경우에 따라서는, 제 1 전원 또는 제 2 전원 중 어느 하나를 접지로 하고 다른 하나를 + 또는 - 전원으로 하는 것도 가능하다. 이러한 변형이 본 발명의 개념을 축소해석하는 것은 아니다.

IMD2가 개선된 믹서 회로의 실시예

도 3 및 도 4에 도시된 실시예에 있어서, 전체 회로의 주요한 비선형성은 능동 소자의 트랜스컨덕턴스(gm)의 비선형성으로 인한 것일 수 있다.

일반적인 비선형 회로에 두개의 주파수 성분 (f_1, f_2)을 갖는 입력 신호를 인가하면, 회로 자체의 비선형성에 의하여 입력에 가해진 주파수 이외에 $2*f_1$, $2*f_2$, f_1-f_2 , f_1+f_2 , $3*f_1$, $3*f_2$, $2*f_1-f_2$, $2*f_2-f_1$, $2*f_1+f_2$, $2*f_2+f_1$ 등등의 주파수 성분이 생성된다.

이러한 비선형성으로 인한 주파수 성분은 출력으로부터 얻고자 하는 소망의 주파수를 중심으로 필터에 의해서 제 거하는 것이 통상적이다.

입력 주파수 f_1 과 f_2 가 거의 동일하고, 출력중 소망의 주파수가 기저 대역으로 설정된 애플리케이션에 있어서는, 비선형성으로 인한 주파수 성분 중 기저 대역 주파수와 거의 비슷한 $f_1 - f_2$ 의 성분은 필터에 의하여 거의 제 거되지 않는다. 이러한 성분들은 작은 주파수 차이를 갖는 채널간에 서로 간섭하는 형태로 나타나거나, 혹은 신호 대역 내의 신호들이 상호 간섭함으로써 신호를 왜곡시키는 현상이 있다. 이와 같은 $f_1 - f_2$ 성분을 2차 상호 변조 왜곡(2rd order intermodulation distortion, IMD2)이라 칭한다. 이러한 IMD2와 입력 주파수가 증폭된 양과의 관계를 통해 회로의 선형성을 나타낼 수 있다. 이러한 회로의 선형성을 나타내는 값을 2차 인터셉트 포인트(2rd order intercept point, IP2)라 칭한다.

도 3 및 도 4에 있어서, 능동 소자의 드레인 전류는 게이트 소오스간 전압(V_{gs}) 및 트랜스컨덕턴스(g_m)와 수학적 식 1과 같은 관계를 갖는 것으로 표현할 수 있다.

$$i_{DS} = I_{DC} + g_m v_{gs} + \frac{g'_m}{2!} v_{gs}^2 + \frac{g''_m}{3!} v_{gs}^3 + \dots$$

수학적 식 1에 있어서, 게이트 소오스간 전압의 제곱(v_{gs}^2)의 계수, 즉 능동 소자의 게이트 소오스간 전압에 대한 g_m 의 1차 도함수, 즉 g'_m 이 2차 상호 변조 왜곡(IMD2) 및 2차 인터셉트 포인트(IP2)에 크게 영향을 미치는 것으로 알려져 있다.

도 5는 서로 상보적인 능동 소자에 대하여, 게이트 소오스간 전압(V_{gs})에 대한 드레인 전류(I_{os}), 트랜스컨덕턴스(g_m), 및 트랜스컨덕턴스(g_m)의 1차 도함수(g'_m)값을 도시한 그래프이다. 도 1에는 P형 및 N형 MOSFET에 대한 그래프를 도시하였으나, 게이트 소오스간 전압에 대한 드레인 전류 특성이 도 1에 도시된 것과 유사하게 나타나는 어떠한 능동 소자에 대해서도 도 1과 유사한 그래프를 얻을 수 있다.

도 5로부터 알 수 있는 바와 같이, 서로 상보적인 능동 소자는 드레인 전류(I_{os}), 트랜스컨덕턴스(g_m), 및 트랜스컨덕턴스(g_m)의 1차 도함수(g'_m)값이 서로 실질적으로 대칭적인 특성을 갖는다. 또한, N형 MOSFET의 트랜스컨덕턴스(g_m)의 1차 도함수(g'_m) 값은 게이트 소오스간 전압이 양의 소정의 전압값(V_{gsn})을 갖는 영역에서 극대값을 갖고, P형 MOSFET의 트랜스컨덕턴스(g_m)의 1차 도함수(g'_m) 값은 게이트 소오스간 전압이 음의 소정의 전압값(V_{gsp})을 갖는 영역에서 극소값을 갖는다. 본 발명의 실제 구현예에 있어서는, N형 MOSFET의 트랜스컨덕턴스(g_m)의 1차 도함수(g'_m) 값이 극대값을 갖는 게이트 소오스간 전압(V_{gsn})으로부터 문턱 전압(V_{th})을 감한 전압($V_{gsn} - V_{th}$)이 대략 0.3 V였고, P형 MOSFET의 트랜스컨덕턴스(g_m)의 1차 도함수(g'_m) 값이 극소값을 갖는 전압(V_{gsp})으로부터 문턱 전압(V_{th})을 감한 전압($V_{gsp} - V_{th}$)이 대략 -0.2 V였다. 이처럼, N형 MOSFET과 P형 MOSFET은 서로 소정의 특성 차이를 보일 수 있다.

능동 소자에 대하여 적은 양의 DC 전력을 소모하면서도 포화 영역에서 얻을 수 있는 것과 실질적으로 동일한 정도의 충분한 RF 이득을 확보하기 위해서는, 도 5에 있어서 게이트 소오스간 전압에서 문턱 전압을 감한 전압 값($V_{gs} - V_{th}$)이 예를 들어, 0.2 V ~ 0.3 V인 범위에서 능동 소자를 동작시키는 것이 바람직하다. 그러나, 상술한 바와 같이, 이 영역에서, 트랜스컨덕턴스의 1차 도함수(g'_m)값은 극대값 또는 극소값을 갖는다. 즉, 능동 소자에 대하여 적은 양의 DC 전력을 소모하면서도 충분한 RF 이득을 확보할 수 있는 동작 영역에서, 공교롭게도 트랜스컨덕턴스의 1차 도함수(g'_m)값이 극대값 또는 극소값을 갖게 되어 비선형성이 극대화되는 것이다.

따라서, 서로 상보적인 제 1형의 능동 소자 및 제 2형의 능동 소자의 드레인을 서로 접속하고, 게이트 소오스간 바이어스 전압을 적절하게 설정하며, 게이트에 동일한 입력 신호를 가하면, 제 1형의 능동 소자 및 제 2형의 능동 소자의 트랜스컨덕턴스의 1차 도함수(g'_m)값이 극대값 및 극소값을 갖는 영역이 서로 일치하도록 할 수 있다. 본 발명의 바람직한 실시예에 따르면, 제 1형 능동 소자의 게이트 소오스간 바이어스 전압은 트랜스컨덕턴스의 1차 도함수(g'_m)값이 극대값을 갖는 영역(V_{gsn})으로 설정하고, 제 2형 능동 소자의 게이트 소오스간 바이어스 전압은 트랜스컨덕턴스의 1차 도함수(g'_m)값이 극소값을 갖는 영역(V_{gsp})으로 설정함으로써, 양 능동 소자의 트랜스컨덕턴스의 1차 도함수값이 극대값 및 극소값을 갖는 영역이 서로 일치하도록 할 수 있다. 이렇게 함으로써, 양 능동 소자의 1차 도함수(g'_m)값이 극대값 또는 극소값을 갖는 것을 상쇄하는 것이 가능하다. 도 6은 N형 MOSFET 및 P형 MOSFET의 드레인이 서로 접속되도록 구성하고, 양 소자의 트랜스컨덕턴스의 1차 도함수값이 극대값 및 극소값을 갖는 영역에서 바이어스되도록 한 회로와 이 회로의 양 소자의 1차 도함수(g'_m)값을 도시한 그래프이다.

즉, 제 1형 능동 소자(Q_n)가 소정의 게이트 소오스간 전압(V_{gs})으로 바이어스되는 경우에 있어서, 제 2형 능동 소자(Q_p)를 제 1형 능동 소자의 게이트 소오스간 전압(V_{gs})의 역의 전압이 게이트 소오스간에 바이어스되도록 함으로써, 상술한 바와 같이 제 2형 능동 소자(Q_p)의 트랜스컨덕턴스의 1차 도함수(g'_m)값을 이용하여 제 1형 능동 소자(Q_n)의 트랜스컨덕턴스의 1차 도함수(g'_m)값이 극대값을 갖는 것을 상쇄할 수 있다.

도 7은 본 발명의 바람직한 실시예에 따라서, 서로 상보적인 능동 소자를 이용하여 선형성이 향상된 믹서 회로를 도시한 회로도이다.

도 7에 도시된 바와 같이, 본 발명에 따른 상보 소자를 이용한 선형성이 향상된 증폭 회로는 제 1형 능동 소자로 구현되는 제 1형 믹서 회로부와, 제 1형과 상보적인 제 2형 능동 소자로 구현되는 제 2형 믹서 회로부를 포함한다.

제 1형 및 제 2형의 상보 소자는 각각 게이트(N_g, P_g), 소오스(N_s, P_s), 및 드레인(N_d, P_d)을 구비한다. 제 1형 상보 소자는 게이트에 인가되는 전압에 따라서 소오스로부터 드레인으로 흐르는 전류의 크기 및 방향이 결정된다. 제 2형 상보 소자는 게이트에 인가되는 전압에 따라서, 소오스로부터 드레인으로 흐르는 전류의 크기 및 방향이 결정되나, 제 1형 상보 소자와는 상보적으로 결정된다.

즉, 제 1형 상보 소자가 게이트 소오스간 전압의 크기에 비례하여 드레인으로부터 소오스로의 전류의 크기가 가변하는 경우, 제 2형 상보 소자는 소오스 게이트간 전압의 크기에 비례하여 소오스로부터 드레인으로의 전류의 크기가 가변한다. 또한 후술하는 바와 같은 제 1형 믹서 회로 및 제 2형 믹서 회로의 바이어스 및 임피던스 회로는 입력 신호의 극성에 따라서, 제 1형 능동 소자만이 실질적으로 활성화되거

나, 제 2형 능동 소자만이 실질적으로 활성화되도록 제 1형 능동 소자 및 제 2형 능동 소자의 동작점을 결정한다. 이하의 설명에서는 제 1형 상보 소자는 N형 MOSFET이고 제 2형 상보 소자는 P형 MOSFET인 것으로 설명하나, 본 발명의 정신은 이에 국한되지 않음은 당업자에게 자명하다.

도 5에 도시된 바와 같이, 제 1형 믹서 회로는 도 3과 관련하여 상술한 바와 같은 N형 MOSFET을 이용한 믹서 회로와 동일한 구조를 취한다. 또한, 제 2형 믹서 회로는 도 4와 관련하여 상술한 바와 같은 P형 MOSFET을 이용한 믹서 회로와 동일한 구조를 취한다.

제 1형 믹서 회로는 제 1형의 제 1 능동 소자(Qn11) 및 제 2 능동 소자(Qn12)를 포함하는 제 1 믹서 회로와, 제 3 능동 소자(Qn21) 및 제 4 능동 소자(Qn22)를 포함하는 제 2 믹서 회로를 포함한다. 제 2형 믹서 회로는 제 2형의 제 1 능동 소자(Qp11) 및 제 2 능동 소자(Qp12)를 포함하는 제 1 믹서 회로와, 제 3 능동 소자(Qp21) 및 제 4 능동 소자(Qp22)를 포함하는 제 2 믹서 회로를 포함한다.

제 1형 및 제 2형 믹서 회로부에 있어서, 제 1 믹서 회로 및 제 2 믹서 회로는 소오스-결합 쌍(source-coupled pair)의 구조를 취한다. 즉, 제 1 믹서 회로부에 있어서, 제 1 믹서 회로의 제 1 능동 소자(Qn11) 및 제 2 능동 소자(Qn12)의 소오스가 서로 접속되어 소정의 소오스측 바이어스 및 임피던스부(Zsn1)를 통해 제 2 전원과 접속되고, 제 2 믹서 회로의 제 3 능동 소자(Qn21) 및 제 4 능동 소자(Qn22)의 소오스가 서로 접속되어 소정의 소오스측 바이어스 및 임피던스부(Zsn2)를 통해 제 2 전원과 접속된다. 본 발명의 바람직한 실시예에 따르면, 제 2 전원과 접속되는 대신에 접지될 수 있다.

반면, 제 2형 믹서 회로부에 있어서, 제 1 믹서 회로의 제 1 능동 소자(Qp11) 및 제 2 능동 소자(Qp12)의 소오스가 서로 접속되어 소정의 소오스측 바이어스 및 임피던스부(Zsp1)를 통해 제 1 전원과 접속되고, 제 2 믹서 회로의 제 3 능동 소자(Qp21) 및 제 4 능동 소자(Qp22)의 소오스가 서로 접속되어 소정의 소오스측 바이어스 및 임피던스부(Zsp2)를 통해 제 1 전원과 접속된다.

제 1형 믹서 회로부의 제 1 능동 소자(Qn11)와 제 2형 믹서 회로부의 제 1 능동 소자(Qp11)의 게이트는 제 1 고주파수 입력단(RF-)과 접속된다. 또한, 제 1형 믹서 회로부의 제 4 능동 소자(Qn22)와 제 2형 믹서 회로부의 제 4 능동 소자(Qp22)의 게이트는 제 2 고주파수 입력단(RF+)과 접속된다. 제 1 능동 소자 및 제 4 능동 소자의 게이트에는 게이트측 바이어스 및 임피던스부(Zgn1, Zgn2, Zgp1, Zgp2)를 통해 제 1 전원이 공급되어 각각 동작 바이어스 전압이 유지되도록 한다.

도 7에 도시된 실시예에 있어서, 제 1형 믹서 회로부 및 제 2형 믹서 회로부의 제 1 능동 소자 내지 제 4 능동 소자의 게이트에는 게이트측 바이어스 및 임피던스부(Zgn1, Zgn2, Zgn3, Zgn4, Zgp1, Zgp2, Zgp3, Zgp4)를 통해 제 1 전원이 공급되어 동작 바이어스 전압이 유지되도록 한다. 이러한 동작 바이어스 전압은 제 1 능동 소자 내지 제 4 능동 소자의 타입, 즉 제 1형인가 제 2형인가에 따라 적절하게 설정된다. 예를 들면, 도 7에 있어서 제 1형 믹서 회로부를 구성하는 능동 소자는 N형 MOSFET인 경우에, 도 3과 관련하여 상술한 바와 같은 N형 바이어스 전압이 유지되도록 하고, 제 2형 믹서 회로부를 구성하는 능동 소자는 P형 MOSFET인 경우에, 도 4와 관련하여 상술한 바와 같은 P형 바이어스 전압이 유지되도록 한다. 본 발명의 바람직한 실시예에 따르면, N형 MOSFET의 게이트 소오스간 바이어스 전압은 트랜스 컨덕턴스의 1차 도함수(gm')값이 극대값을 갖는 영역(V_{gsn})으로 설정하고, P형 MOSFET의 게이트 소오스간 바이어스 전압은 트랜스 컨덕턴스의 1차 도함수(gm')값이 극소값을 갖는 영역(V_{gsp})으로 설정함으로써, 양 능동 소자의 트랜스 컨덕턴스의 1차 도함수값이 극대값 및 극소값을 갖는 영역이 서로 일치하도록 할 수 있다. 이렇게 함으로써, 양 능동 소자의 1차 도함수(gm')값이 극대값 또는 극소값을 갖는 것을 상쇄하는 것이 가능하다.

도 7에 도시된 실시예가 믹서 회로로서 동작하기 위해서는 제 1 고주파수 입력단(RF-)과 제 2 고주파수 입력단(RF+)에는 서로 위상이 반전된 고주파수 신호가 입력되는 것이 바람직하다. 제 1 고주파수 입력단(RF-) 및 제 2 고주파수 입력단(RF+)에 입력되는 고주파수 신호는 소정의 고주파수를 갖는 반송파에 의해 정보 신호가 변조된 신호이다. 본 명세서에서는 정보 신호를 변조하기 위한 반송파의 주파수가 ω_{RF} 인 것으로 한다.

제 1형 믹서 회로부의 제 2 능동 소자(Qn12) 및 제 3 능동 소자(Qn21)의 게이트는 서로 접속되어 LO 주파수 입력단(LO)과 접속된다. 제 2형 믹서 회로부에 있어서도, 제 2 능동 소자(Qp12) 및 제 3 능동 소자(Qp21)의 게이트는 서로 접속되어 LO 주파수 입력단(LO)과 접속된다. 제 1형 믹서 회로부의 제 2 능동 소자(Qn12) 및 제 3 능동 소자(Qn21)의 게이트 및 제 2형 믹서 회로부의 제 2 능동 소자(Qp12) 및 제 3 능동 소자(Qp21)의 게이트에는 각각 게이트측 바이어스 및 임피던스부(Zgn3, Zgp3)를 통해 제 1 전원이 공급되어 동작 바이어스 전압이 유지되도록 한다.

도 7에 도시된 실시예가 믹서 회로로서 동작하기 위해서는, LO 주파수 입력단(LO)에 입력되는 신호의 주파수 ω_{LO} 는 반송파 주파수 ω_{RF} 의 1/2인 것이 바람직하다.

도 7과 관련한 실시예 및 관련 설명에서는, 제 1 능동 소자 및 제 4 능동 소자의 게이트에는 각각 반송파 주파수(ω_{RF})를 갖는 서로 위상이 반전된 신호(RF+, RF-)가 입력되고, 제 2 능동 소자 및 제 3 능동 소자의 게이트에는 LO 신호가 입력되는 실시예를 중심으로 설명하고 있으나, 본 발명의 다른 실시예에 따르면, 제 1 능동 소자 및 제 4 능동 소자의 게이트에는 LO 신호가 입력되고, 제 2 능동 소자 및 제 3 능동 소자의 게이트에는 LO 신호가 입력될 수도 있다. 이러한 실시 형태는 특히 반송파 주파수(ω_{RF})를 갖는 신호로부터 서로 위상이 반전된 신호(RF+, RF-)를 획득하기가 용이하지 않은 경우에 유리하다. 후자에 대하여도 본 발명의 개념은 그대로 적용될 수 있음은 자명하다.

각각의 능동 소자의 소오스 단자 및 보디 단자에는 소오스 전압(V_{sn}) 및 보디 전압(V_{bn})이 인가된다. 본 발명의 바람직한 실시예에 따르면, 전원과 각각의 능동 소자(Qn)의 소오스 단자 및 보디 단자간에는 전원과 접속되는 바이어스부가 접속된다. 이에 따라, 소오스 전압(V_{sn}) 및 보디 전압(V_{bn})은 전원으로부터 바이어스부를 통해 조절된다. 본 명세서에서는 전원과 소오스 단자 및 보디 단자간에 접속되는 바이어스부를 동작점 바이어스부라고 칭한다.

제 1형 믹서 회로부와 제 2형 믹서 회로부에 있어서, 제 1 믹서와 제 2 믹서의 출력단은 서로 교차 접속된다. 즉, 제 1 능동 소자 및 제 3 능동 소자의 드레인은 서로 접속되어 제 1 출력단(IF-)과 접속된다. 제 2 능동 소자 및 제 4 능동 소자의 드레인은 서로 접속되어 제 2 출력단(IF+)과 접속된다. 최종 출력은 제 1 출력단(IF-) 및 제 2 출력단(IF+)의 신호를 서로 차동하여 얻을 수 있다.

또한, 제 1형 믹서 회로부와 제 2형 믹서 회로부의 대응되는 능동 소자의 드레인은 상호 접속된다. 즉, 제 1형 믹서 회로부의 제 1 능동 소자 내지 제 4 능동 소자의 드레인은 각각 제 2형 믹서 회로부의 제 1 능동 소자 내지 제 4 능동 소자의 드레인과 접속된다. 이로써, 각각의 상보적인 능동 소자 쌍은 도 6에 도시된 바와 같은 상보 쌍을 이루게 된다.

제 1형 믹서 회로부 및 제 2형 믹서 회로부에 있어서, 제 1 능동 소자 및 제 3 능동 소자의 드레인의 접속점은 소정의 드레인측 바이어스 및 임피던스부(Zdn1, Zdp1)를 통해 제 1 전원과 접속된다. 제 2 능동 소자 및 제 4 능동 소자의 드레인의 접속점은 소정의 드레인측 바이어스 및 임피던스부(Zdn2, Zdp2)를 통해 제 1 전원과 접속된다. 본 명세서에서는 드레인과 출력단간에 접속되는 바이어스부를 출력측 바이어스부라 칭한다.

제 1형 믹서 회로부 및 제 2형 믹서 회로부의 제 1 믹서 회로 및 제 2 믹서 회로의 게이트에는 서로 반대된 위상을 갖는 고주파수 신호(RF-, RF+)가 입력된다. 또한, 제 1 믹서 회로 및 제 2 믹서 회로의 다른 게이트에는 동일한 LO 신호(LO)가 입력된다. LO 주파수 입력단(LO)에 입력되는 신호의 주파수 ω_{LO} 는 반송파 주파수 ω_{RF} 의 실질적으로 1/2인 것이 바람직하다. 이 때, 전체 회로의 출력, 즉 제 1 출력단(IF-) 및 제 2 출력단(IF+)의 차동 신호는 좁은 폭을 갖는 펄스의 스트림의 형태를 갖는다. 이 때, 펄스 스트림의 폭은 RF 신호의 진폭과 비례한다.

도 7에 도시된 회로에 따르면, 전체 회로의 출력 신호는 RF 신호의 진폭과 비례하는 폭으로 변조된 펄스 폭 변조 신호의 형태이다. 따라서, 출력 신호에는 주파수가 ω_{RF} 인 반송파 신호로 변조된 주파수 신호에 포함된 소망의 기저대역 신호만이 포함되고, 소망하지 않는 LO 신호 성분은 실질적으로 거의 포함되지 않는다. 이는 곧 DC 오프셋이 개선된 것임을 말한다. 또한, 제 1 믹서 회로와 제 2 믹서 회로가 거의 동일한 규모와 구조를 취하는 경우, 제 1 고주파 입력단(RF-) 및 제 2 고주파 입력단(RF+)에 LO 신호 성분이 거의 누출되지 않는다는 효과를 갖는다. 이는 상술한 바와 같은 도 3 및 도 4와 관련된 실시예에서 얻을 수 있는 효과와 같다.

도 7에 도시된 회로는, 상술한 바와 같이, 제 1형 믹서 회로부의 제 1 능동 소자 내지 제 4 능동 소자의 드레인은 각각 제 2형 믹서 회로부의 제 1 능동 소자 내지 제 4 능동 소자의 드레인과 접속됨으로써, 각각의 상보적인 능동 소자 쌍은 도 6에 도시된 바와 같은 상보 쌍을 이루게 된다. 이에 따라서, 도 6과 관련하여 설명한 바와 같이 모든 능동 소자의 비선형성 중에서 제 2형 능동 소자(Qp)의 트랜스컨덕턴스의 1차 도함수(gm')값을 이용하여 제 1형 능동 소자(Qn)의 트랜스컨덕턴스의 1차 도함수(gm')값이 극대값을 갖는 것을 상쇄할 수 있다. 또한, 그역도 가능하다.

이는 곧 도 7에 도시된 회로가 IMD2가 향상된 것을 말한다. 따라서, 도 7에 도시된 회로는 우수 함수 비선형성이 상당히 개선된 효과를 누리게 된다.

발명의 효과

본 발명에 따르면, 고주파수의 반송파에 의해 변조된 고주파수 신호와 LO 주파수 신호를 믹싱하는 믹싱 회로에 있어서, 출력 신호에 반송파 신호로 변조된 주파수 신호에 포함된 소망의 기저대역 신호만이 포함되고, 소망하지 않는 LO 신호 성분은 실질적으로 거의 포함되지 않는다. 즉, DC 오프셋 문제 상당히 개선되는 효과가 있다.

또한, MOSFET과 같은 대칭성이 우수한 회로를 이용함으로써, 고주파 입력단 측에 LO 신호 성분이 거의 누출되지 않는다는 효과를 갖는다.

능동 소자의 비선형성 중에서 트랜스컨덕턴스의 1차 도함수(gm')값이 극대값을 갖는 것을 서로 상보적인 능동 소자를 이용하여 상쇄할 수 있다. 이는 곧 IMD2가 향상된 것을 말한다. 따라서, 본 발명에 따르면, 우수 함수 비선형성이 상당히 개선된 효과를 누리게 된다.

(57) 청구의 범위

청구항 1

제 1 단자, 제 2 단자, 및 제 3 단자를 구비하고, 상기 제 1 단자 및 제 2 단자간에 인가되는 전압의 크기에 기초하여 상기 제 2 단자로부터 상기 제 3 단자로 흐르는 전류의 크기 및 방향이 변동되는 제 1 능동 소자 및 제 2 능동 소자를 포함하는 제 1 회로와 제 3 능동 소자 및 제 4 능동 소자를 포함하는 제 2 회로를 포함하되,

상기 제 1 능동 소자 및 제 2 능동 소자의 상기 제 2 단자는 서로 접속되어 제 2 단자측 제 1 바이어스 및 임피던스부를 통해 제 2 전원과 접속되고, 상기 제 3 능동 소자 및 제 4 능동 소자의 상기 제 2 단자는 서로 접속되어 제 2 단자측 제 2 바이어스 및 임피던스부를 통해 상기 제 2 전원과 접속되며,

상기 제 1 능동 소자 및 제 4 능동 소자의 제 1 단자는 각각 제 1 입력단 및 제 2 입력단과 접속되고, 상기 제 2 능동 소자 및 제 3 능동 소자의 제 1 단자는 서로 접속되어 제 3 입력단과 접속되며,

상기 제 1 능동 소자 내지 제 4 능동 소자의 제 1 단자는 각각 제 1 바이어스 및 임피던스부 내지 제 4 바이어스 및 임피던스부를 통해 제 1 전압과 접속되어 소정의 동작 바이어스 전압이 유지되고,

상기 제 1 능동 소자 및 제 3 능동 소자의 제 3 단자의 접속점은 제 1 출력단 및 제 1 출력측 바이어스 및 임피던스부를 통해 제 1 전원과 접속되고, 상기 제 2 능동 소자 및 제 4 능동 소자의 제 3 단자의 접속점은 제 2 출력단 및 제 2 출력측 바이어스 및 임피던스부를 통해 상기 제 1 전원과 접속되는
믹서 회로.

청구항 2

제 1 단자, 제 2 단자, 및 제 3 단자를 구비하고, 상기 제 1 단자 및 제 2 단자간에 인가되는 전압의 크기에 기초하여 상기 제 2 단자로부터 상기 제 3 단자로 흐르는 전류의 크기 및 방향이 변동되는 제 1 능동 소자 및 제 2 능동 소자를 포함하는 제 1 회로와 제 3 능동 소자 및 제 4 능동 소자를 포함하는 제 2 회로를 포함하되,

상기 제 1 능동 소자 및 제 2 능동 소자의 상기 제 2 단자는 서로 접속되어 제 1 소오스측 바이어스 및 임피던스부를 통해 제 1 전원과 접속되고, 상기 제 3 능동 소자 및 제 4 능동 소자의 상기 제 2 단자는 서로 접속되어 제 2 소오스측 바이어스 및 임피던스부를 통해 상기 제 1 전원과 접속되며,

상기 제 1 능동 소자 및 제 4 능동 소자의 제 1 단자는 각각 제 1 고주파수 입력단 및 제 2 고주파수 입력단과 접속되고, 상기 제 2 능동 소자 및 제 3 능동 소자의 제 1 단자는 서로 접속되어 로컬 오실레이터(L0) 신호 입력단과 접속되며,

상기 제 1 능동 소자 내지 제 4 능동 소자의 제 1 단자는 각각 제 1 바이어스 및 임피던스부 내지 제 4 바이어스 및 임피던스부를 통해 제 1 전압과 접속되어 소정의 동작 바이어스 전압이 유지되고,

상기 제 1 능동 소자 및 제 3 능동 소자의 제 3 단자의 접속점은 제 1 출력단 및 제 1 출력측 바이어스 및 임피던스부를 통해 제 2 전원과 접속되고, 상기 제 2 능동 소자 및 제 4 능동 소자의 제 3 단자의 접속점은 제 2 출력단 및 제 2 출력측 바이어스 및 임피던스부를 통해 상기 제 2 전원과 접속되는
믹서 회로.

청구항 3

제 1항 또는 제 2항에 있어서,

상기 제 1 입력단에는 소정의 고주파수를 갖는 반송파에 의해 변조된 신호가 입력되고, 상기 제 2 입력단에는 상기 제 1 입력단에 입력되는 신호가 반전된 신호가 입력되며, 상기 제 3 입력단에는 로컬 오실레이터 신호가 입력되는 믹서 회로.

청구항 4

제 1항 또는 제 2항에 있어서,

상기 제 1 입력단에는 로컬 오실레이터 신호가 입력되고 상기 제 2 입력단에는 상기 제 1 입력단에 입력되는 신호가 반전된 신호가 입력되며, 상기 제 3 입력단에는 소정의 고주파수를 갖는 반송파에 의해 변조된 신호가 입력되는 믹서 회로.

청구항 5

제 1항 또는 제 2항에 있어서,

상기 제 1 전원은 소정의 양의 전압을 공급하는 전압 전원이고 상기 제 2 전원은 접지인 믹서 회로.

청구항 6

제 1항 또는 제 2항에 있어서,

상기 제 1 전원은 접지이고, 상기 제 2 전원은 소정의 음의 전압을 공급하는 전압 전원인 믹서 회로.

청구항 7

제 1항 또는 제 2항에 있어서, 상기 제 1 고주파수 입력단 및 제 2 고주파수 입력단에는 소정의 고주파수 반송파에 의해 정보 신호가 변조된 신호가 입력되고, 상기 L0 신호 입력단에는 상기 고주파수 반송파의 주파수의 1/2의 주파수를 갖는 L0 신호가 입력되는 믹서 회로.

청구항 8

제 1항 또는 제 2항에 있어서,

상기 제 1 내지 제 4 능동 소자는 각각 제 4 단자를 더 구비하고, 상기 제 4 단자는 소정의 바이어스 및

임피던스 회로를 통해 상기 제 1 전원과 접속되어 동작 바이어스 전압이 유지되는 믹서 회로.

청구항 9

제 1항 내지 제 8항 중 어느 한 항에 있어서,

상기 제 1 내지 제 4 능동 소자는 MOSFET이고, 상기 제 1 단자, 제 2 단자, 및 제 3 단자는 각각 게이트, 소오스, 및 드레인인 믹서 회로.

청구항 10

제 8항에 있어서,

상기 제 1 내지 제 4 능동 소자는 MOSFET이고, 상기 제 1 단자, 제 2 단자, 제 3 단자, 및 제 4 단자는 각각 게이트, 소오스, 드레인, 및 보디 단자인 믹서 회로.

청구항 11

제 1항 또는 제 2항에 있어서,

상기 제 1 소자 내지 제 4 소자는 동일한 기판상에 서로 동일한 계층상에 형성되는 믹서 회로.

청구항 12

제 1 단자, 제 2 단자, 및 제 3 단자를 구비하고, 상기 제 1 단자 및 제 2 단자간에 인가되는 전압의 크기에 기초하여 상기 제 2 단자로부터 상기 제 3 단자로 흐르는 전류의 크기 및 방향이 변동되는 제 1형 제 1 능동 소자 및 제 2 능동 소자를 포함하는 제 1 회로와 제 1형 제 3 능동 소자 및 제 4 능동 소자를 포함하는 제 2 회로를 포함하는 제 1형 회로부와,

상기 제 1 내지 제 4 능동 소자와 상보적인 특성을 갖는 제 2형 제 1 능동 소자 내지 제 2 능동 소자를 포함하는 제 1 회로와 제 2형 제 3 능동 소자 및 제 4 능동 소자를 포함하는 제 2 회로를 포함하는 제 2형 회로부를 포함하되,

상기 제 1형 제 1 능동 소자 및 제 2 능동 소자의 상기 제 2 단자는 서로 접속되어 제 1형 제 2 단자측 제 1 바이어스 및 임피던스부를 통해 제 2 전원과 접속되고, 상기 제 1형 제 3 능동 소자 및 제 4 능동 소자의 상기 제 2 단자는 서로 접속되어 제 1형 제 2 단자측 제 2 바이어스 및 임피던스부를 통해 상기 제 2 전원과 접속되며, 상기 제 2형 제 1 능동 소자 및 제 2 능동 소자의 상기 제 2 단자는 서로 접속되어 제 2형 제 2 단자측 제 1 바이어스 및 임피던스부를 통해 제 1 전원과 접속되고, 상기 제 2형 제 3 능동 소자 및 제 4 능동 소자의 상기 제 2 단자는 서로 접속되어 제 2형 제 2 단자측 제 2 바이어스 및 임피던스부를 통해 상기 제 2 전원과 접속되며,

상기 제 1형 및 제 2형의 제 1 능동 소자의 제 1 단자의 접속점 및 상기 제 1형 및 제 2형의 제 4 능동 소자의 제 1 단자의 접속점은 각각 제 1 고주파수 입력단 및 제 2 고주파수 입력단과 접속되고, 상기 제 1형 및 제 2형의 제 2 능동 소자 및 제 3 능동 소자의 제 1 단자는 서로 접속되어 로컬 오실레이터(L0) 신호 입력단과 접속되며,

상기 제 1형 및 제 2형 제 1 능동 소자 내지 제 4 능동 소자의 제 1 단자는 각각 제 1형 제 1 단자측 제 1 바이어스 및 임피던스부 내지 제 4 바이어스 및 임피던스부 및 제 2형 제 1 단자측 제 1 바이어스 및 임피던스부 내지 제 4 바이어스 및 임피던스부를 통해 제 1 전압과 접속되어 소정의 동작 바이어스 전압이 유지되고,

상기 제 1형 및 제 2형 제 1 능동 소자 및 제 3 능동 소자의 제 3 단자의 접속점은 제 1 출력단 및 제 1 출력측 바이어스 및 임피던스부를 통해 제 1 전원과 접속되고, 상기 제 1형 및 제 2형 제 2 능동 소자 및 제 4 능동 소자의 제 3 단자의 접속점은 제 2 출력단 및 제 2 출력측 바이어스 및 임피던스부를 통해 상기 제 1 전원과 접속되는

믹서 회로.

청구항 13

제 12항에 있어서,

상기 제 1 전원은 소정의 양의 전압을 공급하는 전압 전원이고 상기 제 2 전원은 접지인 믹서 회로.

청구항 14

제 12항에 있어서,

상기 제 1 전원은 접지이고, 상기 제 2 전원은 소정의 음의 전압을 공급하는 전압 전원인 믹서 회로.

청구항 15

제 12항에 있어서, 상기 제 1 고주파수 입력단 및 제 2 고주파수 입력단에는 소정의 고주파수 반송파에 의해 정보 신호가 변조된 신호가 입력되고, 상기 LO 신호 입력단에는 상기 고주파수 반송파의 주파수의 1/2의 주파수를 갖는 LO 신호가 입력되는 믹서 회로.

청구항 16

제 12항에 있어서,

상기 제 1형 및 제 2형 제 1 내지 제 4 능동 소자는 각각 제 4 단자를 더 구비하고, 상기 제 4 단자는 소정의 바이어스 및 임피던스 회로를 통해 상기 제 1 전원과 접속되어 동작 바이어스 전압이 유지되는 믹서 회로.

청구항 17

제 12항에 있어서,

상기 제 1형 제 1 내지 제 4 능동 소자는 제 1 단자 및 제 2 단자간 전압에 대한 제 3 단자로부터 제 2 단자로 흐르는 전류의 트랜스컨덕턴스의 1차 도함수값이 극대값을 갖고, 상기 2형 제 1 내지 제 4 능동 소자는 제 1 단자 및 제 2 단자간 전압에 대한 제 3 단자로부터 제 2 단자로 흐르는 전류의 트랜스컨덕턴스의 1차 도함수값이 극소값을 가지며, 상기 제 바이어스 및 임피던스 회로는 상기 제 1형 제 1 내지 제 4 능동 소자의 극대값 영역과 상기 제 2형 제 1 내지 제 4 능동 소자의 극소값 영역이 각각 서로 상쇄되도록 하는

믹서 회로.

청구항 18

제 12항 내지 제 15항 중 어느 한 항에 있어서,

상기 제 1형 및 제 2형 제 1 내지 제 4 능동 소자는 MOSFET이고, 상기 제 1 단자, 제 2 단자, 및 제 3 단자는 각각 게이트, 소오스, 및 드레인인 믹서 회로.

청구항 19

제 18항에 있어서,

상기 제 1형 제 1 내지 제 4 능동 소자는 N형 MOSFET이고, 상기 제 2형 제 1 내지 제 4 능동 소자는 P형 MOSFET인 믹서 회로.

청구항 20

제 16항에 있어서,

상기 제 1 내지 제 4 능동 소자는 MOSFET이고, 상기 제 1 단자, 제 2 단자, 제 3 단자, 및 제 4 단자는 각각 게이트, 소오스, 드레인, 및 보디 단자인 믹서 회로.

청구항 21

제 20항에 있어서,

상기 제 1형 제 1 내지 제 4 능동 소자는 N형 MOSFET이고, 상기 제 2형 제 1 내지 제 4 능동 소자는 P형 MOSFET인 믹서 회로.

청구항 22

제 12항에 있어서,

제 1형 제 1 내지 제 4 능동 소자 및 이에 대응되는 제 2형 제 1 내지 제 4 능동 소자는 입력 신호의 극성에 따라서 양자 중 어느 한쪽만이 실질적으로 활성화되는

믹서 회로.

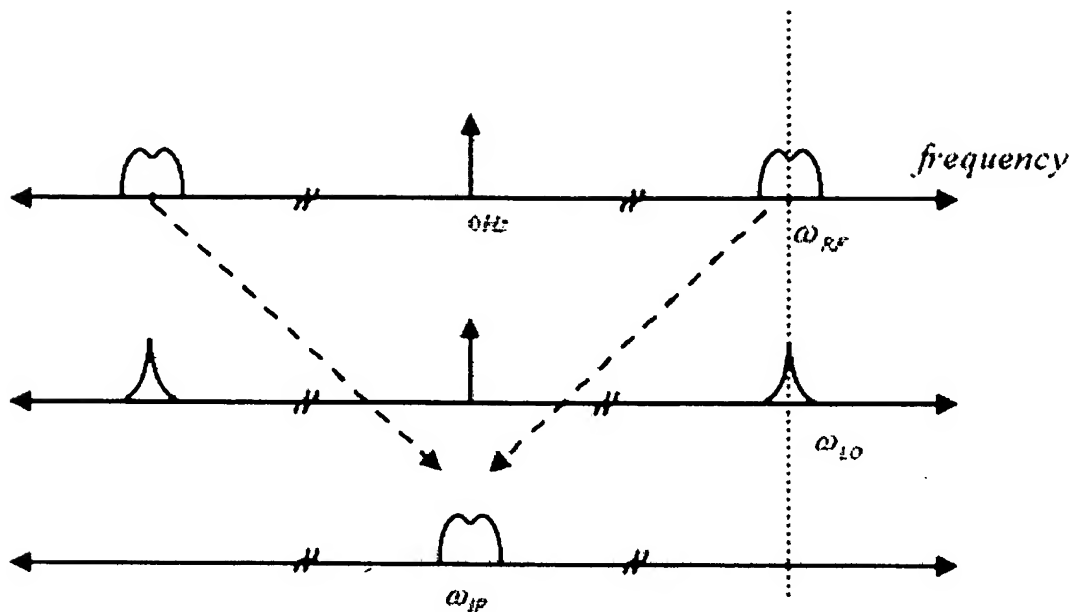
청구항 23

제 12항에 있어서,

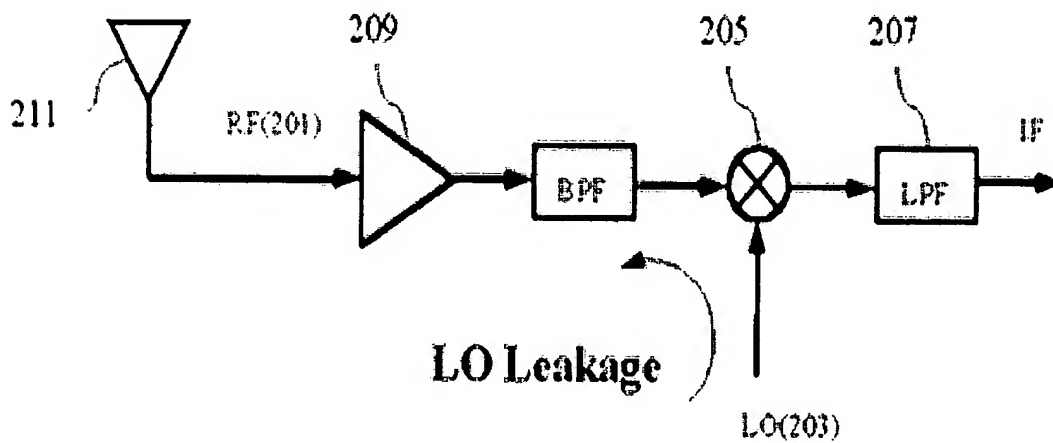
상기 제 1형 및 제 2형 제 1 소자 내지 제 4 소자는 동일한 기판상에 서로 동일한 계층상에 형성되는 막서 회로.

도면

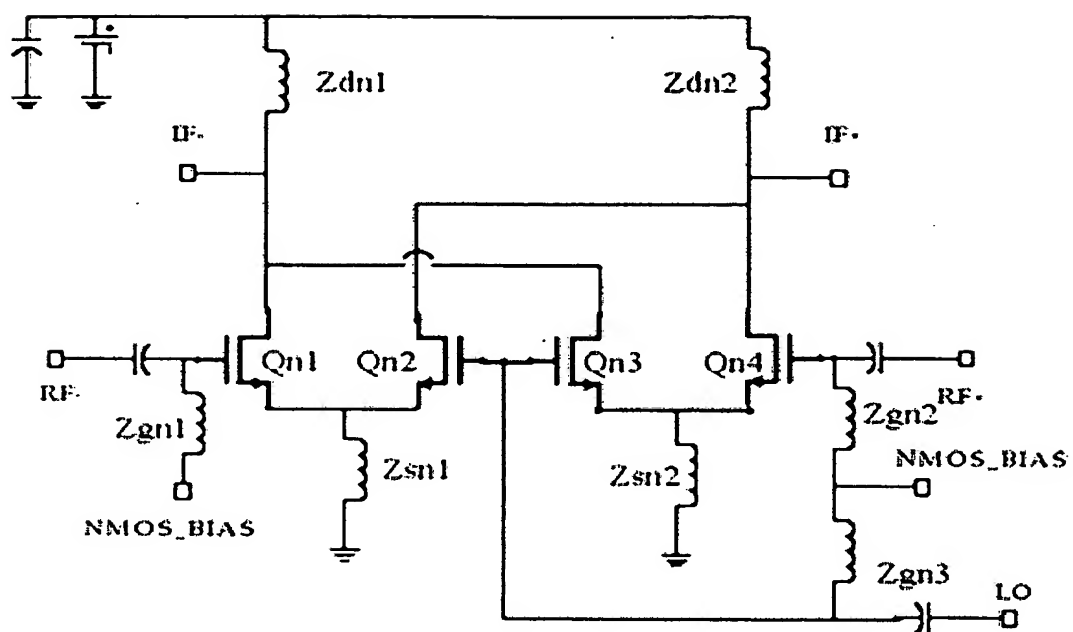
도면1



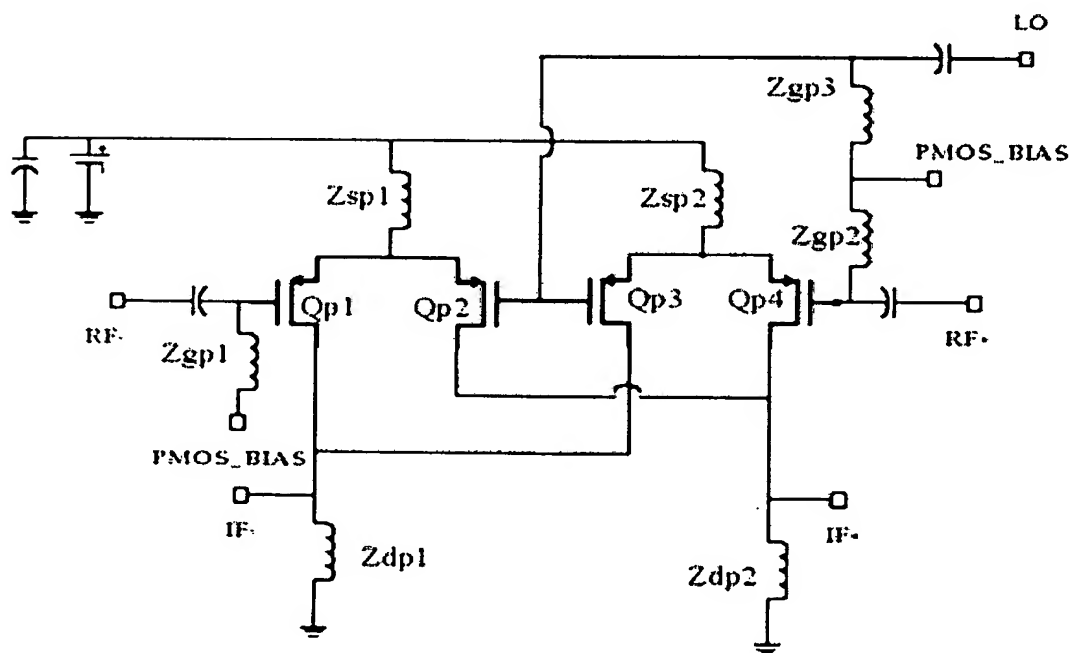
도면2



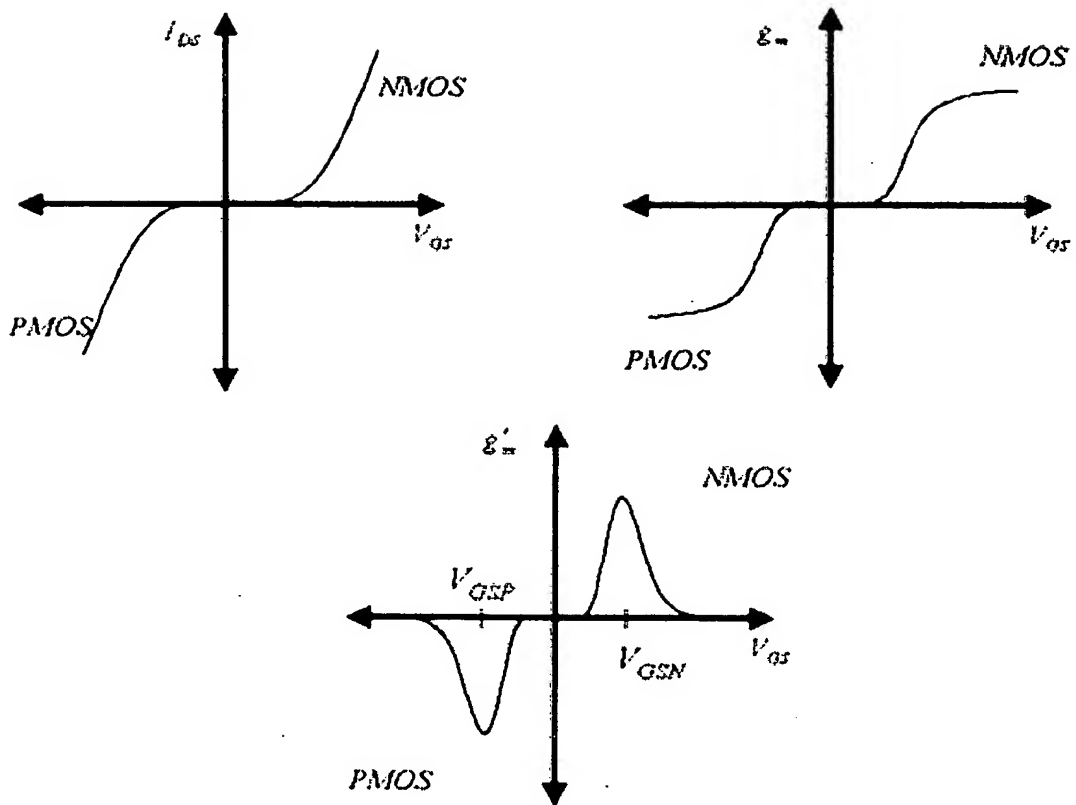
도면3



도면4



도면5



도면6

